

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-108725

(P2001-108725A)

(43) 公開日 平成13年4月20日 (2001.4.20)

(51) Int.Cl. ⁷	識別記号	F I	テ-マコ-ト* (参考)
G 0 1 R 31/28		G 0 1 R 35/00	L 2 G 0 3 2
35/00		H 0 3 K 5/135	5 J 0 0 1
// H 0 3 K 5/135		G 0 1 R 31/28	H

審査請求 未請求 請求項の数 3 O L (全 9 頁)

(21) 出願番号 特願平11-288164

(22) 出願日 平成11年10月8日 (1999.10.8)

(71) 出願人 390005175

株式会社アドバンテスト

東京都練馬区旭町1丁目32番1号

(72) 発明者 菅 幹雄

東京都練馬区旭町1丁目32番1号 株式会

社アドバンテスト内

(74) 代理人 100066153

弁理士 草野 卓 (外1名)

Fターム(参考) 2G032 AA01 AA07 AC03 AD06 AE08

AG01 AG07

5J001 BB00 BB02 BB05 BB08 BB09

BB14 BB20 BB21 CC00 DD02

DD04

(54) 【発明の名称】 半導体デバイス試験装置のタイミング位相校正方法・装置

(57) 【要約】

【課題】 タイミング発生用の各可変遅延回路の遅延時間を実動作に近い条件で校正し、校正値を実動時も維持させる。

【解決手段】 半導体デバイス試験装置のタイミング発生器において、校正された遅延時間を持つ基準クロック R F C L K を発生させ、この基準クロックと、被校正クロック S N C 1、S N C 2、S N C 3・・・との位相を位相比較手段 3 6 により位相比較し、その位相比較結果が一致を示す状態に被校正クロックの供給路に設けた可変遅延回路 V D 1、V D 2、V D 3・・・の遅延時間を設定する。

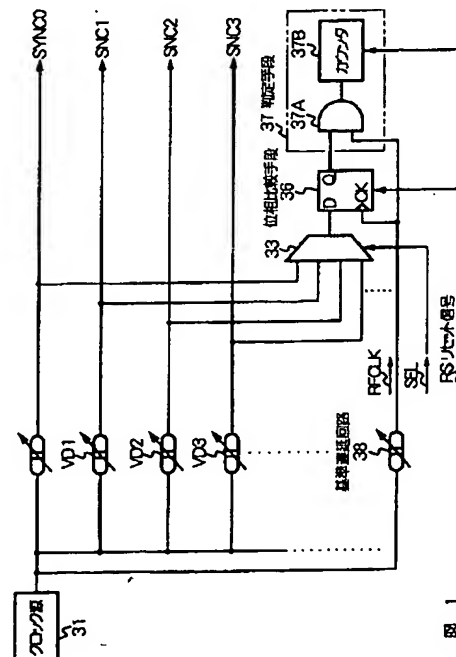


図 1

【特許請求の範囲】

【請求項1】 各種の遅延時間を持つ複数の可変遅延回路を具備し、この複数の可変遅延回路から所望の位相を持つクロックを発生させ、これら所望の位相を持つクロックによって被試験半導体デバイスに与える試験パターン信号の立上り及び立下りのタイミング書込、読出のタイミング比較判定のタイミング等を規定する半導体デバイス試験装置において、

校正された遅延時間を持つ基準クロックを発生させ、この基準クロックと、被校正クロックとの位相を位相比較器により位相比較し、その位相比較出力が一致する状態に被校正クロックの供給路に設けた可変遅延回路の遅延時間を設定することを特徴とする半導体デバイス試験装置のタイミング校正方法。

【請求項2】 A、初期位相を持つクロックを出力するクロック源と、

B、このクロック源が出力するクロックをこのクロックのタイミングから所望の遅延時間遅れた複数のタイミングのクロックを発生させる複数の被校正可変遅延回路と、

C、上記クロック源から出力されるクロックを予め校正された遅延時間遅らせた基準位相を持つ基準クロックを出力することができる基準遅延回路と、

D、この基準遅延回路で所定の時間遅延された基準クロックと上記被校正可変遅延回路で遅延された被校正クロックとの位相を比較し一致か不一致かを比較判定する位相比較判定手段と、

E、この位相比較手段の比較結果により上記基準クロックと遅延クロックの位相が一致したか否かを判定する判定手段と、

によって校正した半導体デバイス試験装置のタイミング校正装置。

【請求項3】 請求項2に記載した半導体デバイス試験装置のタイミング校正装置において、上記位相比較手段はD型フリップフロップで構成し、上記D型フリップフロップの出力の状態により上記位相比較手段で位相比較するクロックの位相が一致しているか否かを判定することを特徴とする半導体デバイス試験装置のタイミング校正装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は例えば半導体メモリ或いは半導体ロジックIC等の半導体デバイスを試験する半導体デバイス試験装置のタイミング校正方法とその装置に関する。

【0002】

【従来の技術】この発明に係わるタイミング校正方法を説明する前に、半導体デバイス試験装置の概略を予め説明する。図6に半導体デバイス試験装置の概略構成を示す。図中TESは半導体デバイス試験装置の全体を示

す。半導体デバイス試験装置TESは、主制御器11と、パターン発生器12、タイミング発生器13、波形フォーマッタ14、論理比較器15、ドライバ群16、アナログ比較器群17、不良解析メモリ18、論理振幅基準電圧源21、比較基準電圧源22、デバイス電源23等により構成される。

【0003】主制御器11は一般にコンピュータシステムによって構成され、利用者が作成した試験プログラムに従って主にパターン発生器12とタイミング発生器13を制御し、パターン発生器12から試験パターンデータを発生させ、この試験パターンデータを波形フォーマッタ14で実波形を持つ試験パターン信号に変換し、この試験パターン信号を論理振幅基準電圧源21で設定した振幅値を持った波形に電圧増幅するドライバ群16を通じて被試験半導体デバイス半導体デバイス19に印加し記憶させる。

【0004】被試験半導体デバイス19から読み出した応答信号はアナログ比較器17で比較基準電圧源22から与えられる基準電圧と比較し、所定の論理レベル（H論理の電圧、L論理の電圧）を持っているか否かを判定し、所定の論理レベルを持っていると判定した信号は論理比較器15でパターン発生器12から出力される期待値と比較し、期待値と不一致が発生した場合は、その読み出したアドレスのメモリセルに不良があるものと判定し、不良発生毎に不良解析メモリ18に不良アドレスを記憶し、試験終了時点で例えば不良セルの救済が可能か否かを判定する。

【0005】ここで、タイミング発生器13は被試験半導体デバイス19に与える試験パターン信号の波形の立上りのタイミング及び立下りのタイミングを規定するクロックと、論理比較器15で論理比較のタイミングを規定するストロブパルスのタイミング、被試験半導体デバイス19の書込のタイミング、読出のタイミング等を発生する。

【0006】これらの各タイミングは利用者が作成した試験プログラムに記載され、利用者が意図したタイミングで被試験半導体デバイス19を動作させ、またその動作が正常か否かを試験できるように構成されている。図7にタイミング発生器13の概略の構成を示す。タイミング発生器13はクロック源31と、可変遅延回路群32とによって構成される。可変遅延回路群32の各可変遅延回路VD1、VD2、VD3・・・は10PS程度の分解能で遅延時間を発生する高分解能の可変遅延回路によって構成される。尚、図7に示した高分解能の可変遅延回路の他に、現実にはクロックの整数倍の遅延時間を発生する遅延回路も直列に接続されるが、この発明では高分解能の可変遅延回路を校正することを目的とするものであるから、ここでは特に整数倍の遅延時間を発生する遅延回路については説明を省略することにする。

【0007】クロック源31から出力されるクロックを

原クロックSYNCOと称し、各可変遅延回路VD1、VD2、VD3・・・から出力されるクロックSNC1、SNC2、SNC3・・・を遅延クロックと称す。これらの遅延クロックSNC1、SNC2、SNC3・・・は原クロックSYNCOの位相を基準とし、この基準位相から所定の遅延時間が与えられてパターン発生器12、波形フォーマッタ14、論理比較器15、不良解析メモリ18の各ユニットに与えられ、各ユニットで基準タイミングクロックとして利用される。

【0008】各ユニットに供給される遅延クロックSNC1、SNC2、SNC3・・・の遅延量は予め各ユニット毎に各ユニットに到来する信号の遅延時間に関連して決められており、この決められているタイミングの位相に調整する必要がある。この調整作業を一般にタイミング校正と称している。図8を用いて従来のタイミング校正方法を説明する。従来は先ずマルチプレクサ33により原クロックSYNCOを発生する回路を選択し、この回路を帰還回路34とオアゲート35によってループ発振回路を構成し、このループ発振回路の発振周波数を測定して原クロックSYNCOを発生する回路の遅延時間を計測する。つまり、ループ発振信号の周期が τ_0 であったとすると、ループの遅延時間は τ_0 で求められる。この原クロックSYNCOを発生する回路の遅延時間 τ_0 を基準の遅延時間とする。

【0009】次に、遅延クロックSNC1を発生する可変遅延回路VD1をマルチプレクサ33により選択し、この可変遅延回路VD1をループ発振回路に組み込んでループ発振させ、その発振周期 τ_1 を測定して遅延時間 τ_1 が予め決められた遅延時間（基準となる遅延時間 τ_0 からの遅延時間）に合致するように、可変遅延回路VD1の遅延時間を設定する。

【0010】このようにして、各可変遅延回路VD1、VD2、VD3・・・をループ発振回路に組み込んでループ発振させ、各遅延時間を計測してタイミング構成を行っている。

【0011】

【発明が解決しようとする課題】上述したように、従来は各可変遅延回路VD1、VD2、VD3・・・をループ発振回路に組み込んでその遅延時間を測定し、目的とする遅延時間になるように校正している。然し乍らループ発振の発振周期は各可変遅延回路VD1、VD2、VD3・・・の遅延時間 τ_1 、 τ_2 、 τ_3 ・・・は原クロックSYNCOの周期より長い。従って、校正時に可変遅延回路VD1、VD2、VD3・・・を通過するパルスの量と、実際に半導体デバイスを試験している状態で可変遅延回路VD1、VD2、VD3・・・を通過するクロックの量が異なる。つまり、図9Aは実動時に各可変遅延回路VD1、VD2、VD3・・・を通過するクロックの波形、図9Bは校正モード時に各可変遅延回路VD1、VD2、VD3・・・を通過するクロックの波

形を示す。

【0012】可変遅延回路VD1、VD2、VD3・・・は半導体回路で構成され、パルスの通過量によって可変遅延回路VD1、VD2、VD3・・・の温度が変化し、この温度差によって遅延時間に差が発生し、校正時に設定した遅延時間が実動時に再現されない不都合が生じる。図10に各可変遅延回路VD1、VD2、VD3・・・の構成の一例を示す。

【0013】この例では半導体集積回路で構成されたゲート回路Gを遅延素子として利用した場合を示す。この例では半導体集積回路で構成されたゲート回路Gを遅延素子として利用した場合を示す。つまり、ゲート回路Gの直列回路と、このゲート回路Gの段間から取り出した信号を選択して取り出すマルチプレクサMUXと、マルチプレクサMUXの選択状態を制御するレジスタCとによって構成され、マルチプレクサMUXがどの段間から信号を取り出すかをレジスタCに設定することによって入力端子INから出力端子OUTまでの遅延時間が設定される。

【0014】従って、図9Aに示すように入力されるパルスの数が多い場合と、図9Bに示すように単位時間に通過するパルスの量が少ない場合とを比較すると、パルスの数が多い方が、ゲート回路Gの温度が高くなる。従って、単位時間に通過するパルスの量が少ない状態で遅延時間を校正したとしても、パルスの数が多い実動時には設定された遅延時間より長い遅延時間に変動してしまう欠点がある。

【0015】更に、従来のようにループ発振回路を構成して各可変遅延回路VD1、VD2、VD3・・・の遅延時間を設定する場合、ループ発振の周期が長いのでループ発振動作によるパルス列により、半導体集積回路の温度がある一定の温度に安定するまでに時間が掛かり、これがためにタイミング校正に時間が掛かる欠点もある。

【0016】この発明の目的は校正時も実動時と同じパルスの量を可変遅延回路に通過させ、熱的な条件を実動時と同じ条件で遅延時間を校正することができるタイミング校正方法と、タイミング校正装置を提案するものである。

【0017】

【課題を解決するための手段】この発明の請求項1では、各種の遅延時間を持つ複数の可変遅延回路を具備し、この複数の可変遅延回路から所望の位相を持つクロックを発生させ、これら所望の位相を持つクロックによって被試験半導体デバイスに与える試験パターン信号の立上り及び立下りのタイミング、書込、読出のタイミング比較判定のタイミング等を規定する半導体デバイス試験装置において、校正された遅延時間を持つ基準クロックを発生させ、この基準クロックと、被校正クロックとの位相を位相比較手段により位相比較し、その位相比較

出力が一致する状態に被校正クロックの供給路に設けた可変遅延回路の遅延時間を設定する半導体デバイス試験装置のクロック位相校正方法を提案する。

【0018】この発明の請求項2では、A、初期位相を持つクロックを出力するクロック源と、

B、このクロック源が出力するクロックをこのクロックのタイミングから所望の時間遅れた複数のタイミングのクロックを発生させる複数の被校正可変遅延回路と、

C、クロック源から出力されるクロックを予め校正された遅延時間遅らせた基準位相を持つ基準クロックを出力することができる基準遅延回路と、

D、この基準遅延回路で所定の時間遅延された基準クロックと被校正可変遅延回路で遅延された被校正クロックとの位相を比較する位相比較手段と、

E、この位相比較手段の位相比較結果が一致か否かを判定する判定手段と、によって校正した半導体デバイス試験装置のタイミング校正装置を提案する。

【0019】この発明の請求項3では、請求項2に記載した半導体デバイス試験装置のタイミング校正装置において、位相比較手段はD型フリップフロップで構成し、D型フリップフロップの出力の状態により位相比較手段で位相比較するクロックの位相が一致しているか否かを判定する構成とした半導体デバイス試験装置のタイミング校正装置を提案する。

【0020】

【作用】この発明によるタイミング校正方法及びこのタイミング校正方法を用いて動作するタイミング校正装置によれば、位相比較手段を用いることにより実動作時と同じパルス列のクロックを用いて各可変遅延回路の遅延時間を校正することができる。

【0021】従って、この発明によれば短時間に然も再現性良く、可変遅延回路の遅延時間を構成することができる利点が得られる。

【0022】

【発明の実施の形態】図1にこの発明による半導体デバイス試験装置のタイミング校正方法を用いて動作するタイミング校正装置の実施例を示す。この発明では位相比較手段36と判定手段37及び基準遅延回路38とを設ける。基準遅延回路38は校正しようとしている可変遅延回路VD1、VD2、VD3・・・を構成する遅延回路と同等の遅延回路によって構成されるが、特にこの基準遅延回路38を構成する遅延回路は予め、例えば図7で説明したループ発振方法により、設定値と実際の遅延時間の関係が予め測定され記憶されており、例えば図10に示したレジスタCにデジタル値を設定することにより、遅延回路は例えば10ps程度の分解能で既知の遅延時間に設定される。

【0023】校正の手順としては先ずマルチプレクサ33により原クロックSYNCOを選択し、基準遅延回路38により基準クロックRCLKの位相を原クロック

SYNCOの位相に合わせる。この位相合わせの様子を図2に示す。図2Aは原クロックSYNCOを示す。この例では原クロックSYNCOが所定の個数ずつ出力される場合を示す。図2に示す例では5個のパルスで表示しているが、現実には例えば256個程度の数となる。

【0024】原クロックSYNCOを位相比較手段36を構成するD型フリップフロップのデータ入力端子Dに入力し、クロック入力端子CKに基準クロックRCLKを入力する。原クロックSYNCOから成る例えば256個のパルス列が出力される毎に基準遅延回路38の遅延時間をこの例ではわずかずつ、つまり、遅延回路の最小分解能のピッチで増加方向に変化させる。

【0025】初期状態（基準遅延回路38の遅延時間がほぼ0の状態）では基準クロックRCLKの立ち上がりのタイミングは原クロックSYNCOのH論理の期間に存在する。その状態の原クロックSYNCOと基準クロックRCLKの位相差を $\tau 1$ で（図2C）で表している。基準クロックRCLKの立ち上がりのタイミングが原クロックSYNCOのH論理の期間に存在していることから位相比較手段36は（図2Dに示すように）H論理を出力し、このH論理の位相比較結果を判定手段37に入力する。

【0026】判定手段37はこの実施例ではアンドゲート37Aとカウンタ37Bとによって構成した場合を示す。アンドゲート37Aの一方の入力端子にはH論理の位相比較結果が入力され、他方の入力端子には基準クロックRCLKが入力される。この結果この状態ではカウンタ37Bは基準クロックRCLKを計数する。カウンタ37Bの計数値が例えば「256」である間は基準クロックRCLKの立上りのタイミングが原クロックSYNCOのH論理の期間に存在することがわかる。

【0027】原クロックSYNCOから成るパルス列が1回出力される毎に、基準遅延回路38の遅延時間を例えば10psずつ遅れる方向に設定値を変更する。図2の例では基準遅延回路38の遅延時間を $\tau 1$ 、 $\tau 2$ 、 $\tau 3$ 、の順に設定変更した場合を示す。更に、パルス列が1回出力される毎にリセットパルスRSを出力させ、このリセットパルスRSにより位相比較手段36とカウンタ37Bをリセットさせる。

【0028】基準遅延回路38の遅延時間を $\tau 3$ に設定した場合に基準クロックRCLKの立上りのタイミングが原クロックSYNCOのH論理の期間から外れたとすると、位相比較手段36はL論理を出力し続け、カウンタ37Bの計数値はゼロを示す。従って、遅延時間 $\tau 2$ と $\tau 3$ の間に位相の一致点があることがわかるが、 $\tau 2$ と $\tau 3$ の間の遅延時間の差は例えば10psのように小さい値に設定しているから、遅延時間 $\tau 3$ を一致点とみなしてよい。従って遅延時間 $\tau 3$ を原クロックSYNCOの位相として記憶させる。尚、原クロックSYNCOはその供給先で立下りのタイミングを利用するユニッ

トとした場合を示す。このため、立下りのタイミングを基準タイミングとして規定するものである。

【0029】他の遅延クロックSNC1、SNC2、SNC3・・・は原クロックSYNC0の立下りのタイミングを基準に予め測定して求めてある遅延時間に設定する。例えば可変遅延回路VD1の遅延時間を校正する場合、この可変遅延回路VD1に設定すべき遅延時間を基準遅延回路38に設定する。そして、可変遅延回路VD1の遅延時間を遅らせていき、可変遅延回路VD1の校正を行う。

【0030】つまり、校正すべき可変遅延回路VD1の遅延時間を漸次遅らせ、判定手段37を校正するカウンタ37Bが基準クロックRCLKを計数するか、計数しないかの变化点に設定することにより、可変遅延回路VD1の遅延時間を基準遅延回路38に設定した遅延時間に合致させることができる。尚、被校正クロックSNC1の立上りと基準クロックRCLKの立上りのタイミングが一致した場合、カウンタ37Bには供給したクロックの数の約1/2の数値が計数され、この状態がほぼ同一位相と見ることができる。

【0031】図3と図4にその校正の様子を示す。図3の例では可変遅延回路VD1の初期状態が基準遅延回路38の遅延時間より不足している状態の場合を示す。従って、基準クロックRCLKの立上りのタイミングは校正しようとしているクロックSNC1のH論理の期間に存在するから、この場合には図3Dに示すように初期状態では位相比較手段36の比較結果はH論理であり、カウンタ37Bは計数動作する。

【0032】この状態から可変遅延回路VD1の遅延時間を漸次増加方向に設定値を少しずつ変更することにより、被校正クロックSNC1の位相が漸次遅れ方向に変化させ、被校正クロックSNC1の立上りの位相が基準クロックRCLKの立上りのタイミングよりわずかに遅れた状態に設定されると、カウンタ37Bの計数動作が停止し、変化点を検出することができ、この設定状態で可変遅延回路VD1が校正されたことになる。

【0033】図4は可変遅延回路VD1の初期遅延時間が基準遅延回路38の遅延時間よりわずかに長い場合を示す。この場合には基準クロックRCLKの立上りのタイミングが被校正クロックSNC1のL論理の区間に存在するから、位相比較手段36の位相比較結果は図4Dに示すように初期状態ではL論理であり、カウンタ37Bは計数動作をしない。

【0034】可変遅延回路VD1の遅延時間を漸次短くする方向に設定変更し、その遅延時間が基準遅延回路38に設定した遅延時間よりわずかに短くなると、位相比較手段36の位相比較結果はH論理に反転し、変化点を検出することができる。このようにして、各可変遅延回路VD1、VD2、VD3・・・の遅延時間を基準遅延回路38を用いて校正する。

【0035】図5にこの発明によるタイミング校正方法の概略の手順を示す。先ず第1のステップSP1で基準遅延回路38を校正する。この校正は設定値に対して、実際の遅延時間がどうかを計測し、設定値対実際の遅延時間との特性を記憶する。ステップSP2では校正された基準遅延回路38を用いて原クロックSYNC0の位相を測定し、基準遅延回路38にその測定結果を記憶させる。

【0036】ステップSP3では基準遅延回路38に記憶した原クロックSYNC0の位相を基準に、各可変遅延回路VD1、VD2、VD3・・・の遅延時間を校正する。以上の手順によりタイミング校正が終了する。尚、上述の実施例では原クロックSYNC0と基準クロックRCLKの位相をちょうど逆位相の關係に校正した例を説明したが、同相の關係に校正する場合もある。また、他の遅延クロックSNC1、SNC2、SNC3・・・も、基準クロックRCLKに対して同一の位相に校正する場合と、逆位相の關係に校正する場合もあり得るので、校正の基準を被校正クロックの立上り例又は立下りの何れを採ってもよいことは容易に理解できよう。

【0037】また、上述では判定手段37をアンドゲート37Aとカウンタ37Bによって構成した場合を説明したが、要はパルス列が供給される毎に位相比較手段36の出力の状態が例えばH論理であったものがL論理に変化するか又は、その逆に変化したかを検出できればよく、特に図1に示した構成に限定されないことも容易に理解できよう。

【0038】

【発明の効果】以上説明したように、この発明によれば基準遅延回路38と、位相比較手段36を用いて校正すべきクロックの位相が基準クロックの位相と一致しているか否かにより各可変遅延回路VD1、VD2、VD3・・・の遅延時間を校正するから、実動状態と全く同一の条件（クロックの周波数が一致している）で校正を行うことができる。従って、半導体集積回路で構成される可変遅延回路（図10参照）は校正した結果を実動時に確実に再現し、校正した状態を確実に維持することができる。半導体デバイス試験装置の信頼性を高めることができる効果が得られる。

【図面の簡単な説明】

【図1】この発明によるタイミング校正方法を用いて動作する半導体デバイス試験装置の一実施例を説明するためのブロック図。

【図2】この発明によるタイミング校正装置により原クロックの位相を基準遅延回路によって測定する様子を説明するためのタイミングチャート。

【図3】この発明によりタイミング校正装置により各可変遅延回路の遅延時間を校正する様子を説明するためのタイミングチャート。

【図4】図3に示した校正する様子の他の例を説明するためのタイミングチャート。

【図5】この発明によるタイミング校正方法を説明するためのフローチャート。

【図6】一般によく知られている半導体デバイス試験装置の全体の構成を説明するためのブロック図。

【図7】図6に示した半導体デバイス試験装置に用いられているタイミング発生器の構成を説明するためのブロック図。

【図8】従来のタイミング校正方法及びタイミング校正装置を説明するためのブロック図。

【図9】従来のタイミング校正方法の欠点を説明するためのタイミングチャート。

【図10】図7に示したタイミング発生器に用いられている可変遅延回路の構成の一例を説明するための接続図。

【符号の説明】

TES 半導体デバイス試験装置

11 主制御器

12 パターン発生器

13 タイミング発生器

* 14

波形フォーマッタ

15

論理比較器

16

ドライバ

17

アナログ比較器

18

不良解析メモリ

19

被試験半導体デバイス

21

論理振幅基準電圧源

22

比較基準電圧源

23

デバイス電源

10 31

クロック源

32

可変遅延回路群

VD1、VD2、VD3・・・

可変遅延回路

SYNC0 原クロック

SNC1、SNC2、SNC3・・・

遅延クロック

ック

RFCLK 基準クロック

33

マルチプレクサ

36

位相比較手段

37

判定手段

20 38

基準遅延回路

*

【図1】

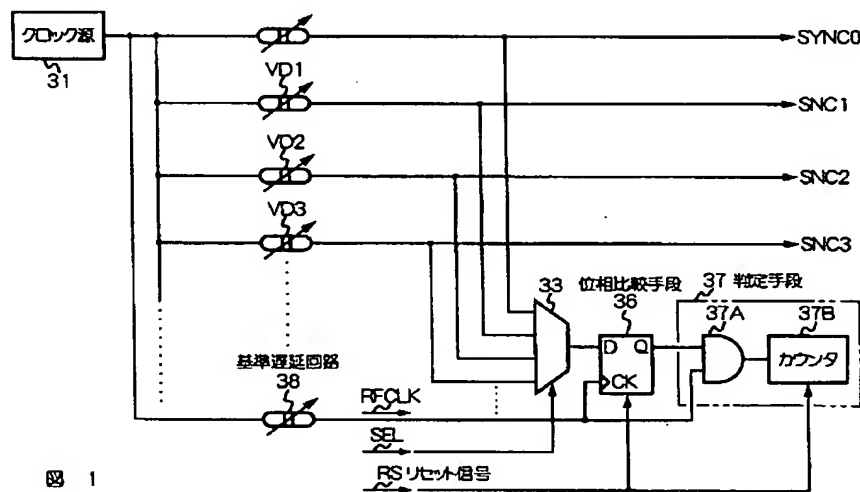


図 1

【図9】

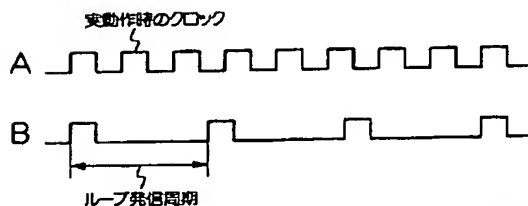


図 9

【図2】

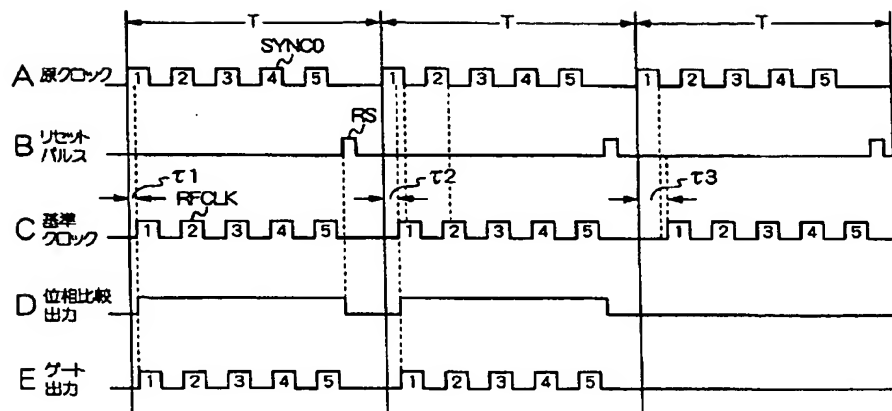


図 2

【図3】

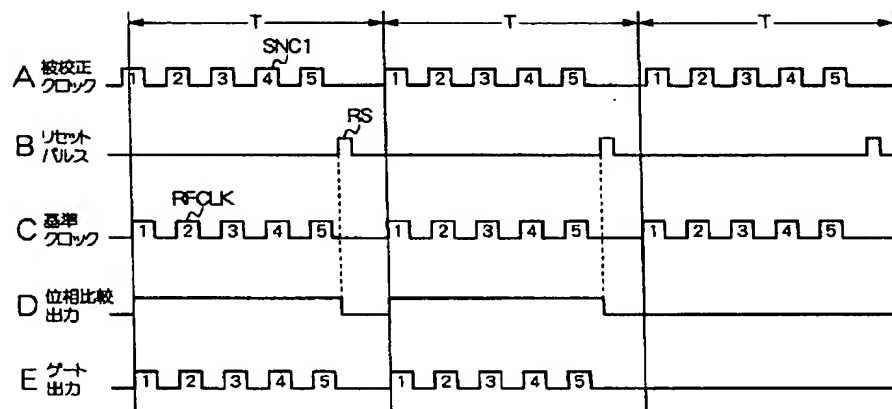


図 3

【図4】

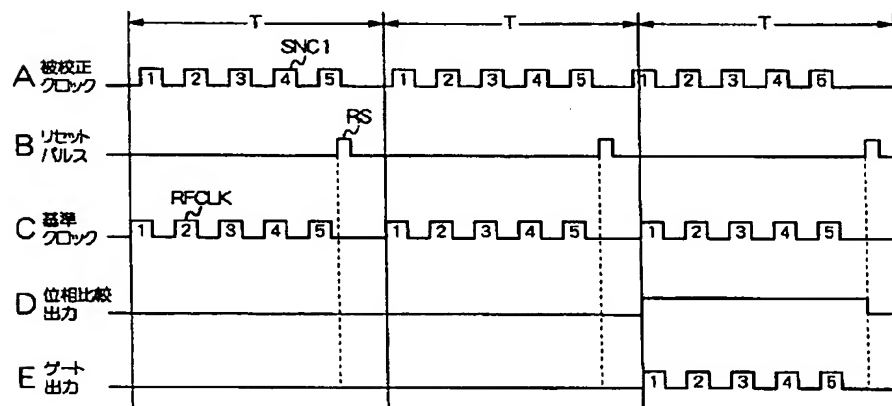


図 4

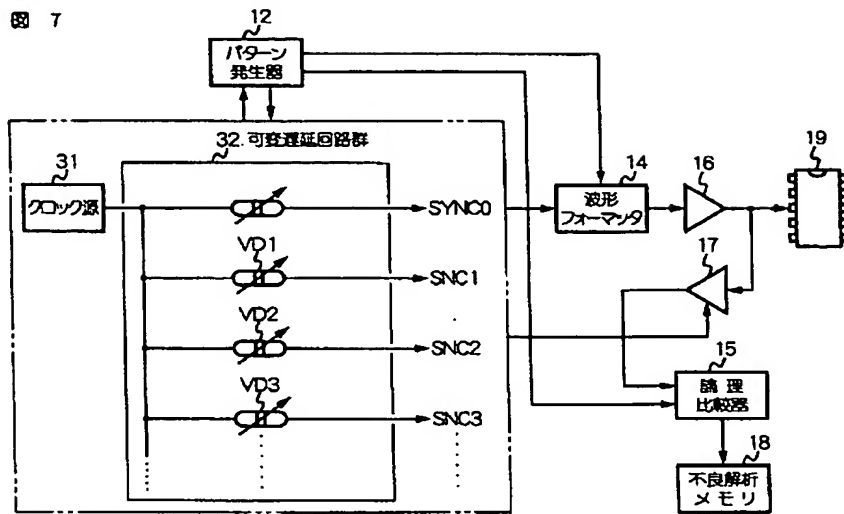
【圖 10】



【図6】



【図7】



【図8】

